



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 02044428 A

(43) Date of publication of application: **14.02.90**

(51) Int. Cl. G06F 9/46
G06F 13/24

(21) Application number: 01146537

(22) Date of filing: 08.06.89

(30) Priority: 13.06.88 US 88 205636

(71) Applicant: **ADVANCED MICRO DEVICDS INC**

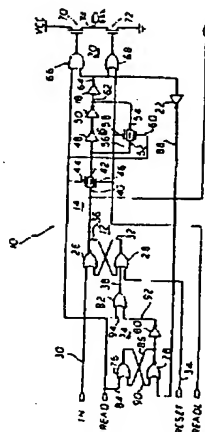
(72) Inventor: NIX MICHAEL A

(54) ASYNCHRONOUS INTERRUPTION STATUS BIT CIRCUIT

(57) Abstract:

PURPOSE: To eliminate the obtaining error of interruption signals and the instruction for two times of a single interruption state by providing a master latch, a transfer gate, a clock operation latch, and inverter, an output driver circuit and a clear circuit in an interruption status bit circuit.

CONSTITUTION: This status bit circuit 10 is provided with a master flip-flop or latch 12, the transfer gate 14, the clock operation latch 16, the inverter 18 and the output driver circuit 20. The status bit circuit 10 is also provided with the inverter 22 and a clear flip-flop or latch circuit 24. Then, when interruption input signals are not generated again, a low logic level is generated in output signals by next read signals. Thus, the obtaining error of an interruption state is eliminated and any single interruption state is not instructed for two times.



COPYRIGHT: (C)1990,JPO

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-44428

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月14日

G 06 F 9/46
13/24

3 1 1 B
3 3 0

7056-5B

審査請求 未請求 請求項の数 16 (全10頁)

⑮ 発明の名称 非同期式割込ステータスピット回路

⑯ 特 願 平1-146537

⑰ 出 願 平1(1989)6月8日

優先権主張 ⑱1988年6月13日 ⑲米国(US) ⑳205,636

㉑ 発 明 者 マイケル・エー・ニツ アメリカ合衆国、テキサス州、オースティン エスパニョ
クス ーラ、7903

㉒ 出 願 人 アドバンスト・マイク アメリカ合衆国、カリフォルニア州、サニイベイル ビ
ロ・デイバイシズ・イ イ・オウ・ボックス・3453、トンプソン・ブレイス、901
ンコーポレーテッド

㉓ 代 理 人 弁理士 深見 久郎 外2名

明 細 書

1. 発明の名称

非同期式割込ステータスピット回路

2. 特許請求の範囲

(1) いかなる割込状態も取り損なわれることなく、いかなる単一の割込状態も2度指示されることがないことを保証する、マイクロプロセッサに関連して用いるための非同期式割込ステータスピット回路であって、

出力を有し、割込入力信号に応答し出力において低論理レベルにラッチされる割込論理信号を発生させるためのマスクラッチ手段(12)と、

マイクロプロセッサにより発生される真と補の読出信号に応答し真の読出信号が低論理レベルであり、かつ補の読出信号が高論理レベルであるとき、その信号入力ノードで受取った前記割込論理信号をその信号出力ノードに送るための転送ゲート手段(14)と、

入力と出力を有し、前記転送ゲート手段(14)の前記信号出力ノードに結合され、真の読出信号

が高論理レベルにあるとき、その出力を前記割込論理信号の論理レベルにラッチするためのクロック動作ラッチ手段(16)と、

入力と出力を有し、その入力の前記クロック動作ラッチ手段(16)の出力に結合され、出力に制御信号を発生するためのインバート手段(18)と、

前記制御信号および前記真と補の読出信号に応答して、高論理レベルにあるとき割込状態の読出を指示するためマイクロプロセッサに送られる出力信号を発生するための出力ドライバ手段(20)と、

前記制御信号および前記真と補の読出信号に応答して、真の読出信号が高から低へ遷移しているときの前に、前記クロック動作ラッチ手段(16)の出力時の前記割込論理信号が低論理レベルにラッチされているときのみ前記マスクラッチ手段(12)の出力を高論理レベルにクリアするクリア信号を発生するためのクリア手段(22、24)とを含む、

それによって、再び割込入力信号が起こって、なければ次の読出信号が出力信号に低論理レベルを発生させる非同期式割込ステータスピット回路。

(2) 前記マスタラッチ手段(12)が第1および第2のクロス結合されたNOR論理ゲート(26、28)からなり、前記第1のNORゲート(26)が、前記割込入力信号を受取るために接続された第1の入力および前記第2のNORゲート(28)の出力に接続された第2の入力を有し、前記第2のNORゲート(28)が前記第1のNORゲート(26)の出力に接続された第1の入力および前記クリア手段(22、24)の出力に接続された第2の入力を有する請求項1に記載のステータスピット回路。

(3) 前記転送ゲート手段(14)がP-チャネルトランジスタおよびN-チャネルトランジスタよりなる伝送ゲートを含み、前記P-チャネルトランジスタのゲート電極は真の読出信号を受取るため接続され、前記N-チャネルトランジスタのゲート電極は補の読出信号を受取るため接続

される請求項2に記載のステータスピット回路。

(6) 前記出力ドライバ手段(20)がNAND論理ゲート(66)、第3のNOR論理ゲート(68)、P-チャネルMOSトランジスタ(70)、およびN-チャネルMOSトランジスタ(72)を含み、前記NANDゲート(66)は、真の読出信号を受取るために接続された第1の入力、前記制御信号を受取るため前記第3のインバータ(18)の出力に接続された第2の入力、および出力を有し、前記第3のNORゲート(68)は、補の読出信号を受取るために接続された第1の入力、前記第3のインバータ(18)の出力に接続された第2の入力および出力を有し、前記P-チャネルトランジスタ(70)は前記出力信号を発生するため、そのソースは供給電位に接続され、そのゲートは前記NANDゲート(66)の出力に接続され、そのドレインは出力ノード(74)に接続され、前記N-チャネルトランジスタ(72)のドレインは前記出力ノード(72)

に接続され、そのゲートは前記第3のNORゲート(68)の出力に接続され、そのソースは接地電位に接続される請求項5に記載のステータスピット回路。

(4) 前記クロック動作ラッチ手段(16)が第1のインバータ(48)、第2のインバータ(50)、ならびに信号入力ノード、信号出力ノード、第1の制御端子、および第2の制御端子を有する第2の伝送ゲート(52)を含み、前記第1のインバータ(48)の入力は前記転送ゲート手段(14)の信号出力ノードに接続され、その出力は前記第2のインバータ(50)の入力に接続され、前記第2のインバータ(50)の出力は前記第2の伝送ゲート(52)の信号入力ノードに接続され、前記第2の伝送ゲート(52)の信号出力ノードは前記第1のインバータ(48)の入力に接続され、その第1の制御端子は前記補の読出信号を受取るため接続され、その第2の制御端子は前記真の読出信号を受取るために接続される請求項3に記載のステータスピット回路。

(5) 前記インバータ手段(18)が、その入力が前記インバータ(50)の出力に接続され、前記制御信号を発生するための出力を有する第3

に接続され、そのゲートは前記第3のNORゲート(68)の出力に接続され、そのソースは接地電位に接続される請求項5に記載のステータスピット回路。

(7) 前記クリア手段(22、24)が第4のインバータ(22)、第4および第5のクロス結合されたNOR論理ゲート(76、78)によりなるクリアラッチ、第5のインバータ(80)および第6のNOR論理ゲート(82)を含む請求項6に記載のステータスピット回路。

(8) 前記第4のインバータ(22)の入力は前記制御信号と出力を受取るために前記第3のインバータ(18)の出力に接続され、前記第4のNORゲート(76)の第1の入力は真の読出信号を受取るため接続され、第2の入力は前記第5のNORゲート(78)の出力に接続され、前記第5のNORゲート(78)は第1の入力が前記第4のインバータ(22)の出力に接続され、第2の入力が前記第4のNORゲート(76)の出力に接続され、前記第5のインバータ(80)

は前記第5のNORゲート(78)の出力に接続された入力および出力を有し、前記第6のNORゲート(82)は前記クリア信号を発生するために、真の読出信号を受取るために接続された第1の入力、前記第5のインバータ(80)の出力に接続された第2の入力および前記クリア手段(24)の出力を規定する出力を有する請求項7に記載のステータスピット回路。

(9) 前記NORゲート(26)の前記出力が、前記マスタラッチ手段(12)の出力を規定し、かつ低から高へ遷移している前記クリア信号にのみ応答して低論理レベルにクリアされる請求項8に記載のステータスピット回路。

(10) マイクロプロセッサに関連して用いられ、いかなる割込状態も取り扱われないことなく、かついかなる単一の割込状態も2度指示されることがないよう保証する非同期式ステータスピット回路であって、

割込入力信号に応答し、低論理レベルにラッチされた割込論理信号を発生するためのマスタラ

1および第2のクロス結合されたNORゲート(26、28)を含む請求項11に記載のステータスピット回路。

(13) 前記クロック動作ラッチ手段が第1および第2の伝送ゲート(14、52)ならびに第1、第2および第3のインバータ(48、50、18)を含み、前記第1の伝送ゲートが前記マスタラッチ手段(12)と前記第1のインバータ(48)との間を相互接続され、前記第2のインバータが前記第1のインバータ(48)と前記第3のインバータ(18)との間を相互接続され、前記第2の伝送ゲートが前記第2のインバータ(50)の出力と前記第1のインバータ(48)の入力との間を相互結合された請求項12に記載のステータスピット回路。

(14) 前記出力ドライバ手段(20)がNAND論理ゲート(66)、第3のNOR論理ゲート(68)、P-チャネルトランジスタ(70)およびN-チャネルトランジスタ(72)を含む請求項13に記載のステータスピット回路。

チ手段(12)と、

真と補の読出信号および前記割込論理信号に応答し、制御信号を発生するためのクロック動作ラッチ手段(14、16、18)と、

前記制御信号および前記真と補の読出信号に応答し、高論理レベルにあるとき割込状態の読出を指示するためにマイクロプロセッサに送られる出力信号を発生するための出力ドライバ手段(20)とを含み、

前記マスタラッチ手段(12)は高論理レベルを有するクリア信号にさらに応答し、真の読出信号が高から低へ遷移しているときの前に前記制御信号が高論理レベルにラッチされているときのみ前記割込論理信号を高論理レベルにクリアするためのものである非同期式割込ステータスピット回路。

(11) 前記制御信号に応答し、前記クリア信号を発生するためのクリア回路手段をさらに含む請求項10に記載のステータスピット回路。

(12) 前記マスタラッチ手段(12)が第

(15) 前記クリア回路手段(22、24)が第4および第5のインバータ(22、80)、ならびに第4、第5および第6のNOR論理ゲート(76、78、82)を含む請求項14に記載のステータスピット回路。

(16) 割込入力信号に応答し、低論理レベルにラッチされる割込論理信号を発生するためのマスタラッチ手段(12)と、

真と補の読出信号および前記割込論理信号に応答して制御信号を発生するためのクロック動作ラッチ手段(14、16、18)と、

前記制御信号および前記真と補の読出信号に応答してそれが高論理レベルにあるときに割込状態の読出を指示するためマイクロプロセッサに送られる出力信号を発生するための出力ドライバ手段(20)とを含み、

前記マスタラッチ手段(12)は高論理レベルを有するクリア信号にさらに応答し、真の読出信号が高から低へ遷移しているときの前に前記制御信号が高論理レベルにラッチされているときのみ

前記割込論理信号を高論理レベルにクリアし、

それによって、もし再び割込入力信号が起こっていないれば次の真の読出信号が出力信号に低論理レベルを発生させる非同期式割込ステータスビット回路。

3. 発明の詳細な説明

発明の背景

この発明は一般的にはデータ処理計算機システムに使用されるデジタル集積回路に関するもので、詳しくはホストマイクロプロセッサにより、いかなる割込信号も取り損なわれることなく、かつ単一の割込信号が2度読出されることを防ぐ、非同期式割込ステータスビット回路に関するものである。

マイクロプロセッサ技術において一般的に知られているように、ホストマイクロプロセッサは割込制御装置を介して割込入力またはステータス信号に応答する能力を持っていて、それは信号を受けると、割込プログラムの制御の下で、マイクロプロセッサに特定の予めプログラムされたルーチ

ンに反応させるために動作する。大抵の割込信号はエラー状態によるものでなくシステム正常な動作の一部である。これらの割込ルーチンは多くの理由で重要であり、たとえば記憶管理、アクセス違反の処理、入力/出力装置、およびシステムクロックといったものである。たとえば一体タイマからのこのような割込信号は、時間の経過をたどるために定期的にマイクロプロセッサに割込むために使用される。そのような割込を受取った場合には、割込制御装置はマイクロプロセッサに割込を送り、それによってマイクロプロセッサはどのようなタイプの割込が要求されたかを決定する読出信号を送り出すようにされる。その読出信号はマイクロプロセッサに関連する割込ステータスレジスタを読出すことを可能にさせ、それはマイクロプロセッサに出力信号を発生する。

割込またはステータス信号は非同期式であり、そのことは読出信号との関係によってそれら信号がいつでも起こり得ることを意味するので、非同期式割込信号と読出信号が実質上、同時に起こる

ときには今までに直面する問題があった。特に、もし読出信号が割込信号のわずかに前、またはわずかに後に起こるかどうかに依存して、単一の割込条件に対し割込信号が読出されなかったりもしくは取り損なわれたり、または割込信号が2度読出されたりすることがあり得る。したがって、いかなる割込状態も取り損なわれることなく、かついかなる単一の割込状態も2度指示されることのないよう保証する非同期式割込ステータスビット回路を提供することが望ましい。

発明の概要

したがって、この発明の一般的な目的は、製造し組立てるのに比較的簡単で経済的ではあるが、従来では入手不可能な非同期式割込ステータスビット回路を提供することである。

この発明の目的は、いかなる割込状態も取り損なわれることなく、かついかなる単一の割込状態も2度指示されることのないよう保証する非同期式割込ステータスビット回路を提供することである。

この発明の目的は、マスタラッチ、クロック動作ラッチ、出力ドライバ回路、およびクリアラッチ回路を含む非同期式割込ステータスビット回路を提供することである。

この発明のなお他の目的は、マスタラッチ、および制御信号に反応し、高論理レベルの読出後、マスタラッチをクリアするためのクリア回路を含む非同期式割込ビット回路を提供することである。

この目的と目標に従って、この発明は、いかなる割込状態も取り損なわれることなく、かついかなる単一の割込状態も2度指示されることのないように保証するため、マイクロプロセッサに関連して用いるための非同期式割込ステータスビット回路を提供することに関する。割込ステータスビット回路はマスタラッチ、転送ゲート、クロック動作ラッチ、インバート、出力ドライバ回路およびクリア回路を含む。マスタラッチは出力を有し、割込入力信号に反応し、出力において低論理レベルにラッチされる割込論理信号を発生する。転送ゲートはマイクロプロセッサによって発生する真

と補の読出信号に回答し、真の読出信号が低論理レベルで、補の読出信号が高論理レベルのときその信号入力ノードで受けた割込信号をその信号出力ノードに送る。クロック動作ラッチは入力と出力を有し、転送ゲートの信号出力ノードに結合され、真の読出信号が高論理レベルにあるとき、割込信号の論理レベルにその出力をラッチする。インバータは入力と出力を有する。インバータの入力はクロック動作ラッチの出力に結合され、出力に制御信号を発生するために使用される。

出力ドライバ回路は制御信号および真と補の読出信号に回答し、それが高レベルにあるとき割込状態の読出を指示するようにマイクロプロセッサに送り込まれる出力信号を発生する。クリア回路は制御信号および真と補の読出信号に回答し、真の読出信号が高から低へ遷移しているときの前に、クロック動作ラッチの出力の割込信号が低レベルにラッチされているときのみ、マスタラッチの出力を高レベルにクリアするためのクリア信号を発生する。もし割込入力信号が再び起こっていないな

れば、次の読出信号により出力信号が低論理レベルを発生するようにされる。

この発明のこれらおよび他の目的および利点は、全体を通して同じ参照番号が対応する部分を示す添付の図面と関連して読まれると、次の詳細な説明からより十分に明らかになるであろう。

好ましい実施例の説明

図面について詳細に参照すると、第1図に、この発明の非同期式割込ステータスピット回路10の略回路図が示されている。ステータスピット回路10は、マスタフリップフロップまたはラッチ12、転送ゲート14、クロック動作ラッチ16、インバータ18および出力ドライバ回路20を含む。ステータスピット回路10はまたインバータ22とクリアフリップフロップまたはラッチ回路24を含む。

マスタラッチ12は、1対のクロス結合されたNOR論理ゲート26、28よりなる。NORゲート26の1つの入力は、割込入力または割込状態を指示するステータス信号INを受けるために

ライン30で接続される。NORゲート26の他方の入力はライン32でNORゲート28の出力に接続される。NORゲート28の1つの入力は、ライン34でリセット信号RESETを受けるために接続される。NORゲート28の第2の入力は、ライン36でNORゲート26の出力に接続される。NORゲート28の第3の入力は、ライン38でクリア回路24の出力に接続される。NORゲート26の出力は割込制御装置（図示されない）を介してホストマイクロプロセッサ（図示されない）の入力端子に送られる割込論理信号QLを提供する。

転送ゲート14はP-チャネルMOSトランジスタおよびN-チャネルMOSトランジスタよりなる従来のCMOS伝送ゲートである。伝送ゲート14は、信号入力ノード40、信号出力ノード42、第1の制御端子44、および第2の制御端子46を有する。第1の制御端子44はP-チャネルトランジスタのゲート電極に接続され、第2の制御端子46はN-チャネルトランジスタのゲ

ート電極に接続される。NORゲート26の出力もまた伝送ゲート14の信号入力ノード40に送られる。伝送ゲート14の信号出力ノード42はクロック動作ラッチ16の入力に接続される。伝送ゲート14の第1の制御端子44は真の読出信号READを受取るために接続され、第2の制御端子46は偽のまたは補の読出信号READLを受取るために接続される。真の読出信号READと補の読出信号READLはホストマイクロプロセッサより発生される。

クロック動作ラッチ16はインバータ48、50および転送ゲート52よりなる。転送ゲート52は同様にP-チャネルMOSトランジスタとN-チャネルMOSトランジスタよりなる従来のCMOS伝送ゲートである。伝送ゲート52は信号入力ノード54、信号出力ノード56、第1の制御端子58、および第2の制御端子60を有する。第1の制御端子58はP-チャネルトランジスタのゲート電極に接続され、第2の制御端子60は、N-チャネルトランジスタのゲート電極に接続さ

れる。インバータ48の入力は伝送ゲート14の信号出力ノード42に接続され、その出力はインバータ50の入力に接続される。インバータ50の出力は伝送ゲート52の信号入力ノード54に接続され、伝送ゲート52の信号出力ノード56はインバータ48の入力に接続される。伝送ゲート52はまたその第1の制御端子58が補の読出信号READLを受取るために接続され、その第2の制御端子60は、真の読出信号READを受取るために接続される。

真の読出信号が低または論理「0」レベルで、かつ補の読出信号が高または論理「1」レベルのとき、信号入力ノード40に与えられる信号は、信号出力ノード42に結合される。このように伝送ゲート14は、閉じるまたはオンにされるように規定される。他方、信号入力ノード54に与えられる信号は、信号出力ノード56に結合されない。このように伝送ゲート52は開くあるいはオフにされるように規定される。真の読出信号が高論理レベルでかつ補の読出信号が低論理レベルで

あるとき、信号入力ノード40に与えられる信号は、信号出力ノード42に結合されない。このように、この状況の下では伝送ゲート14は開くまたはオフにされるかになる。しかし信号入力ノード54に与えられる信号は、信号出力ノード56に結合される。このように伝送ゲート52は、この状況の下で閉じるまたはオンにされる。

インバータ50の出力はライン62でインバータ18の入力に接続される。制御信号を規定するライン64上のインバータ18の出力は出力ドライバ回路20の入力に接続される。出力ドライバ回路20は、NAND論理ゲート66、NOR論理ゲート68、P-チャネルMOS電界効果トランジスタ70およびN-チャネルMOS電界効果トランジスタ72を含む。NANDゲート66の一方の入力はライン64でインバータ18の出力に接続され、他方の入力は真の読出信号READに接続される。NANDゲート66の出力は、P-チャネルトランジスタ70のゲート電極に接続される。NORゲート68は一方の入力はまたイ

ンバータ18の出力に接続され、他方の入力は補の読出信号READLに接続される。NORゲート68の出力はN-チャネルトランジスタ72のゲート電極に接続される。トランジスタ70のソースは、供給電位または電圧VCCに接続され、ドレインは出力信号DBXを発生するための出力ノード74に接続される。この出力信号DBXはクロック動作ラッチ16の読出を指示するためマイクロプロセッサに送られる。トランジスタ72のドレインはまた出力ノード72に接続され、ソースは接地電位に接続される。

ライン64上のインバータ18の出力はまたインバータ22の入力に送られる。インバータ22の出力は、クリアラッチ回路24の入力に送られる。クリアラッチ回路は1対のクロス結合されたNOR論理ゲート76と78、インバータ80およびNOR論理ゲート82を含む。NORゲート76の一方の入力は読出信号READを受取るためにライン84で接続され、他方の入力はNORゲート78の出力にライン86で接続される。N

ORゲート78の一方の入力はライン88でインバータ22の出力に接続され、他方の入力はライン90でNORゲート76の出力に接続される。NORゲート78の出力はまたインバータ80の入力に接続される。ライン92上のインバータの出力は、NOR論理ゲート82の一方の入力に接続される。ライン94上のNORゲート82の他方の入力は、真の読出信号READを受取るために接続される。クリア回路24の出力を規定するNORゲート82の出力が、ライン38でマスタラッチ12のNORゲート28の第3の入力に接続される。

第1図の割込ステータスピット回路10の正常の動作の理解を容易にするために、第2図(a) - 第2図(c)に図解された波形をここで参照する。最初は、短いパルスよりなるリセット信号がライン34に与えられると仮定する。リセット信号が低から高へ遷移するとき、NORゲート28の出力は低または論理「0」レベルにセットされる。第2図(a)に示されるように、時間t0に

において割込入力またはステータス信号INは低論理レベルにあるので、NORゲート26の出力は高または論理「1」レベルにセットされる。時間t0において真の読出信号READが低論理レベル(READ=0)で、かつ前の読出信号READLが高論理レベル(READL=1)であるとき伝送ゲート14はオンにされ、伝送ゲート52はオフにされる。結果としてクロック動作ラッチ16は、NORゲート26の出力が高論理レベルになり、伝送ゲート14を通過し、インバータ50の出力に達するために、通過的になる。インバータ18のために、低論理レベル制御信号は、出力ドライバ回路20の入力に与えられる。しかしNANDゲート66の出力は高論理レベルで、かつNORゲート68の出力は低論理レベルであり、それによりノード74の出力信号は高インピーダンスモードになる。

さらに、インバータ22のためにライン88の高論理レベルは、NORゲート78に与えられ、ライン86の出力は低レベルになる。低レベルに

高レベルになる。

真の読出信号READが高レベルに変化する時間t2ではインバータ50の出力を低レベルにラッチするため、伝送ゲート14は開き、かつ伝送ゲート52は閉じる。さらにこれによりNANDゲート66の出力は低レベルに切り替わり、それによりP-チャネルトランジスタ70がオンになる。したがって、出力信号DBXはクロック動作ラッチ16のマイクロプロセッサによる読出を提供するため時間t3において高レベルに変化する。

さらに、時間t2においてNORゲート76の出力は同時に低レベルに切り替わり、かつNORゲート78の出力は高レベルに変化する。さらにインバータ80の出力は、高レベルから低レベルに変化する。時間t4において、高から低へ遷移する真の読出信号の後縁では、このことはNORゲート82の出力を低から高へ遷移させ、このことは次にマスタラッチのNORゲート28の出力を低レベルに変化させる。このことはNORゲート26の出力が高レベルに戻るマスタラッチのクリ

ある真の読出信号はまたライン84でNORゲート76の入力に与えられ、NORゲート76の出力もまた最初は高レベルになる。インバータ80の出力が高レベルであり、かつゲート82のライン94の真の読出信号が低レベルであるので、NORゲート82の出力は低レベルになる。

時間t1では、割込入力信号INは割込状態を指示する論理「1」レベルになる。これにより、マスタラッチ12のNORゲート26の出力は低または論理「0」レベルに変化する。マスタラッチの出力を規定するNORゲートの出力は、割込状態の発生を指示するため割込制御装置を介してマイクロプロセッサに送られる割込論理信号を表わす。マイクロプロセッサからの真の読出信号READは、時間t1で低レベルにあるので、伝送ゲート14は閉じかつ伝送ゲート52は開く。結果としてNORゲート26の出力はまた伝送ゲート14を通じてインバータ50の出力により規定されるクロック動作ラッチ16の出力に送られる。このようにライン64のインバータ18の出力は、

Aに帰着する。

次の真の読出信号が時間t5において高レベルに向かうとき、高レベルにあるNORゲート26の出力は、インバータ50の出力でクロック動作ラッチ16にラッチされる。同時に、NORゲート68の出力は高レベルに切り替わり、それによりN-チャネルトランジスタ72はオンになる。したがって出力信号DBXは、割込状態が存在しないということを指示する低レベルになる。なぜならばもう1つのステータス入力信号が起こっていないからである。

インバータ18の出力における低レベルは、NORゲート78に送り返され、そのことはそれからの出力を低レベルに戻すことは注目される。さらにインバータ80の出力は高レベルに戻る。したがって第2の読出信号READが高から低へ遷移する時間t6において、ライン36の出力が高レベルに維持されるマスタラッチに影響はない。

第3図(a)において、持続時間が非常に長く、単一のステータス事象に対し、2つの連続した論

理「1」という誤った読出を生じる割込入力信号INが示されている。第3図(b)と第3図(c)に各々示されるように、時間t7とt9における読出は、各々対応する時間t8とt10において、高レベルを有する出力信号を発生する。真の読出信号の後縁が高から低へ遷移する時間t11にNORゲート26の出力がクリアされ、時間t11の後でまだ高レベルにあるステータス入力信号は、NORゲートの出力を再び変化させ、もう1つの割込状態を指示する。したがって第2の読出が時間t9で起こると、高レベルを有する出力信号DBXが発生する。したがって、そのような長い割込入力信号はこの割込ステータスピット回路の正しい動作には受容されない。

この回路10が読出信号の最初に変化する割込信号の読出し損ないをいかに防ぐかということを説明するために、第4図(a)～第4図(c)に図解される波形を参照する。最初に、リセット信号が再びライン34に与えられると仮定する。このように種々の論理ゲートの出力は、時間t0に

出信号は、割込なしの状態に相当する低レベルを有する出力信号DBXを発生する。

第4図(a)において、時間t18に生じる割込入力信号INが図解される。第4図(b)において、時間t17に発生する真の読出信号が図解され、時間t17は、割込入力信号INの変化した時間t18と実質上一致し、非常に近いが、時間t18よりほんの少し前である。結果として、NORゲート26の出力は、読出信号が時間t17において発生するときには、まだ高レベルにある。したがって、クロック動作ラッチのインバータ50の出力は、高レベルにラッチされる。したがってライン64の制御信号は、時間t17において読出信号が発生するとき低レベルになる。このように低レベルを有する出力信号DBXは、時間t19において、マイクロプロセッサにより読出される。しかし、時間t18において、NORゲート26の出力は、割込状態を指示する低レベルに切換わる。この割込状態は、マイクロプロセッサによる取り損ない(非読出)がないというこ

おける第1図に関して先に述べられたものと同様になる。

第4図(a)において、時間t12において発生する割込入力信号INが示されている。第4図(b)において、時間t13に発生する真の読出信号が示され、時間t13は割込信号INが変化した時間t12に実質上一致し、非常に近いが、時間t12よりほんの少し後である。NORゲート26からの出力は時間t13の読出信号READに先立ち高から低への遷移を既に行なっていることになる。このようにクロック動作ラッチ16のインバータ50の出力は低論理レベルにラッチされる。結果として、インバータ18の出力の制御信号は、時間t13において高論理レベルになる。したがって、高論理レベルを有する出力信号DBXは、第4図(c)に示されるように、時間t14においてマイクロプロセッサにより読出される。NORゲート26の出力は、時間t15(読出信号の後縁)においてクリアされるまたは高レベルに戻るので、時間t16における次の読

出信号が重要である。クロック動作ラッチは高レベルにラッチされるので、時間t20の真の読出信号の後縁によりマスタラッチまたはNORゲート26の出力がクリアされるまたは高レベルに戻るようになされるということはない。

したがって、NORゲート26の出力の低レベルは、時間t21に発生する次の読出信号で、クロック動作ラッチにラッチされる。このように時間t22で高レベルを有する出力信号DBXは、第4図(c)に示されるようにマイクロプロセッサにより読出される。時間t18に発生する割込入力信号の読出は、この割込ステータスピット回路のお陰でマイクロプロセッサにより取り損なわれることなく、かつ読出されないことがなかったということはこの図で明らかである。

クロック動作ラッチ16はインバータ48、50と転送ゲート52のみでなっていると全体にわたって記述されているが、真のクロック動作ラッチは、2つの伝送ゲートと2つのインバータを使用することにより実現されるということは当業者

により理解されるであろう。このように真のクロック動作ラッチは、第1図のステータスビット回路10に図解されるクロック動作ラッチ16と同様、転送ゲート14によりなると考えられるであろう。

前述の詳細な説明により、この発明は、いかなる割込状態も取り損なわれることなく、かついかなる単一の割込状態が2度指示されることのないよう保証する、マイクロプロセッサに関連して用いるための非同期式割込ビット回路を提供するということがわかる。ステータスビット回路は、マスタラッチ、転送ゲート、クロック動作ラッチ、インバータ、出力ドライブ回路およびクリア回路を含む。クリア回路は高レベルを有する出力信号がマイクロプロセッサにより読出された後のみ、マスタラッチをクリアするために使われる。

現在において、この発明の好ましい実施例と考えられるものが図解され、記述されたが、種々の変更と修正がなされ、この発明の真の範囲より離れることなく均等物がエレメントに置換されると

いうことは、当業者により理解されるであろう。さらに発明の中心から離れることなく、特定の状況または材料をこの発明の教示に適合させるために多くの修正がなされるであろう。したがって、この発明は、この発明を実施するのに考えられる最良のモードとして開示された特定の実施例に限られるのではなく、この発明は前掲のクレームの範囲に含まれるすべての実施例を含むということが意図されている。

4. 図面の簡単な説明

第1図は、この発明の原理に従って構成された非同期式割込ステータスビット回路の略回路図である。

第2図(a) - 第2図(c)は、第1図のステータスビット回路の正常の動作の理解に役立つ波形である。

第3図(a) - 第3図(c)は、第1図のステータスビット回路の不正確な動作の説明に役立つ波形である。

第4図(a) - 第4図(c)は、読出信号が割

込入力信号と実質上同時に起こったときに、第1図のステータスビット回路の動作の理解に役立つものである。

10はステータスビット回路であり、12はラッチであり、14は転送ゲートであり、16はクロック動作ラッチであり、18はインバータであり、20は出力ドライブ回路であり、22はインバータであり、24はラッチ回路である。

特許出願人 アドバンスド・マイクロ・デバイス・インコーポレーテッド

代理人 弁理士 深見久郎

(ほか2名)



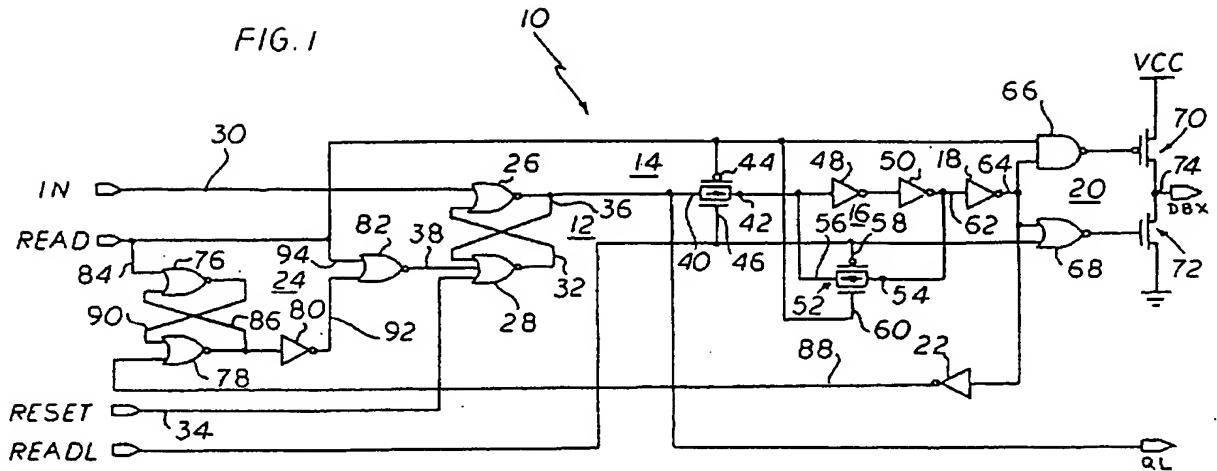


FIG. 2

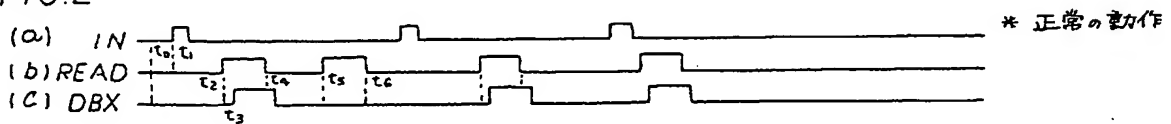


FIG. 3

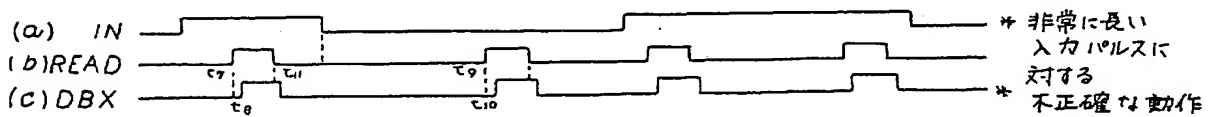


FIG. 4

